

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-010200

(43)Date of publication of application : 16.01.1998

(51)Int.Cl.

G01R 31/28

(21)Application number : 08-165552

(71)Applicant : HITACHI LTD

(22)Date of filing : 26.06.1996

(72)Inventor : NAKAJO TOKUO

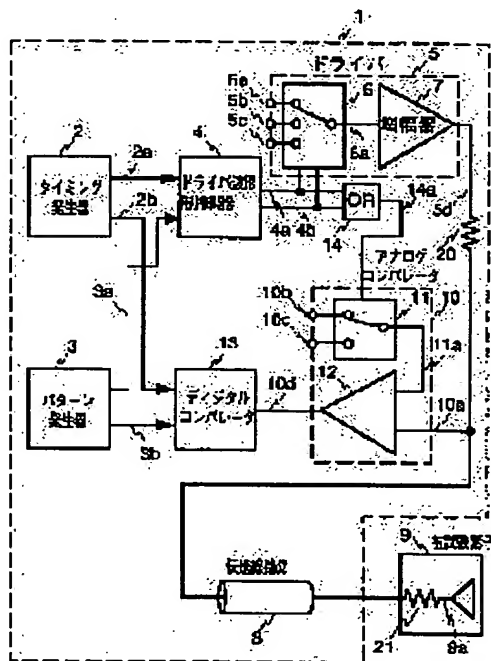
HAYASHI YOSHIHIKO

(54) TESTER AND TEST METHOD FOR SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To test an IC having an interfacing for simultaneous input and output and an IC having an interface for other CCT or GTL using a same tester.

SOLUTION: At the time of testing an IC having an interfacing for simultaneous input and output, the comparison voltage of an analog comparator 20 is switched depending on the output voltage from a driver 5 using a driver 5 for switching more than two kinds of set voltage, and a comparator 12 for switching the comparison voltage of the analog comparator 20 by the output voltage from a driver 5. When an element is tested by switching the input/ output, output voltage from the driver 5 is matched with the terminal voltage of the element to be tested other than high and low voltages at the time of output from the element to be tested.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than
the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-10200

(43) 公開日 平成10年(1998) 1月16日

(51) Int. Cl. ⁶

G01R 31/28

識別記号

庁内整理番号

F I

G01R 31/28

技術表示箇所

M

D

審査請求 未請求 請求項の数 9 O L (全14頁)

(21) 出願番号 特願平8-165552

(22) 出願日 平成8年(1996) 6月26日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 中條 徳男

神奈川県横浜市戸塚区吉田町292番地株式

会社日立製作所生産技術研究所内

(72) 発明者 林 良彦

神奈川県横浜市戸塚区吉田町292番地株式

会社日立製作所生産技術研究所内

(74) 代理人 弁理士 小川 勝男

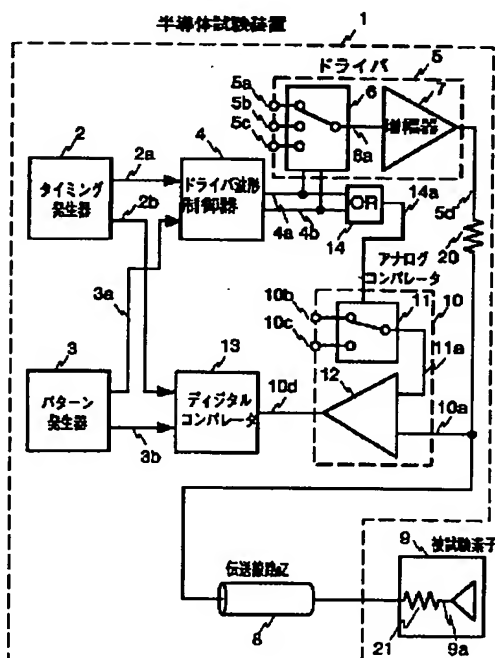
(54) 【発明の名称】 半導体装置の試験方法及び半導体試験装置

(57) 【要約】

【課題】 入力と出力を同時に行うインターフェースを持つICと、その他のCCTやGTL等のインターフェースを持つICの試験を同一の試験装置を用いて試験することのできる半導体試験装置および試験方法を提供する。

【解決手段】 3種以上の設定電圧を切替えることが可能なドライバ5と、ドライバの出力電圧によってコンパレータの比較電圧を切替えることが可能なコンパレータ12により、入力と出力を同時に行うインターフェースを持つICの試験時はドライバの出力電圧に合わせてコンパレータの比較電圧を切替え、入力／出力を切替えて行う素子の試験を行う場合には、被試験素子の出力時にドライバの出力電圧をHi電圧、Low電圧以外の被試験素子の終端電圧に合わせる。

図1



【特許請求の範囲】

【請求項 1】入力/出力を同一ピンで同時に行う半導体装置に試験波形を与えて、その応答波形を試験する半導体試験装置であって、

該試験波形と該応答波形との合成波形を所定の比較電圧と比較する手段と、

該所定の比較電圧を該試験波形に応じて設定する手段と、

その比較結果を所定の期待値と比較する手段とを備えることを特徴とする半導体試験装置。

【請求項 2】入力/出力を同一ピンで同時に行う半導体装置に試験波形を与えて、その応答波形を試験する半導体試験装置であって、

所定のタイミング信号を作成するタイミング発生器と、

所定のテストパターンを作成するパターン発生器と、

該タイミング信号及び該テストパターンから所定の制御信号を出力するドライバ波形制御器と、

該制御信号に応じて第一、第二の設定電圧を切替えて該試験波形を出力するドライバと、

該試験波形と半導体装置からの応答波形との合成波形を、該制御信号に応じて切り替わる第一、第二の比較電圧と比較するアナログコンパレータと、

該アナログコンパレータの出力と、該パターン発生器および該タイミング発生器で作成した期待値とを比較するデジタルコンパレータとを備えたことを特徴とする半導体試験装置。

【請求項 3】入力/出力を同一ピンで同時に行う半導体装置に試験波形を与えて、その応答波形を試験する半導体試験装置であって、

所定のタイミング信号を作成するタイミング発生器と、

所定のテストパターンを作成するパターン発生器と、

該タイミング信号及び該テストパターンから所定の制御信号を出力するドライバ波形制御器と、

該制御信号に応じて第一、第二の設定電圧を切替えて試験波形を出力するドライバと、

該試験波形と半導体装置からの応答波形との合成波形を第一の比較電圧と比較する第一のアナログコンパレータと、

該試験波形と半導体装置からの応答波形との合成波形を第二の比較電圧と比較する第二のアナログコンパレータとを備え、

該制御信号に応じて該第一のアナログコンパレータもしくは該第二のアナログコンパレータの出力を選択して、その選択された出力値を所定の期待値と比較することを特徴とする半導体試験装置。

【請求項 4】入力/出力を同一ピンで同時に行う半導体装置に試験波形を与えて、その応答波形を試験する半導体試験装置であって、

所定のタイミング信号を作成するタイミング発生器と、

所定のテストパターンを作成するパターン発生器と、

10

該タイミング信号及び該テストパターンから所定の制御信号を出力するドライバ波形制御器と、

該制御信号に応じて第一、第二の設定電圧を切替えて試験波形を出力するドライバと、

該試験波形と半導体装置からの応答波形との合成波形を第一の比較電圧と比較する第一のアナログコンパレータと、

該試験波形と半導体装置からの応答波形との合成波形を第二の比較電圧と比較する第二のアナログコンパレータと、

該第一のアナログコンパレータの出力値と所定の期待値とを比較する第一のデジタルコンパレータと、

該第二のアナログコンパレータの出力値と所定の期待値とを比較する第二のデジタルコンパレータと、

を備えたことを特徴とする半導体試験装置。

【請求項 5】半導体装置に試験波形を与えて、その応答波形を試験する半導体試験装置であって、

第一、第二、第三の設定電圧を切り替えて該試験波形もしくは所定の終端電圧を出力するドライバと、

20

該半導体装置がその入力/出力を同一ピンで同時に行う場合に該試験波形と該応答波形との合成波形を該試験波形に応じて切り替わる第一、第二の比較電圧と比較する手段と、

該半導体装置がその入力/出力を同一ピンで同時に行わない場合に該応答波形を第三の比較電圧と比較する手段とを有するコンパレータとを備え、

該コンパレータの出力値を所定の期待値と比較して半導体装置を試験することを特徴とする半導体試験装置。

【請求項 6】入力/出力を同一ピンで同時に行う半導体装置に試験波形を与えて、その応答波形を試験する半導体装置の試験方法であって、

該試験波形と該応答波形との合成波形を、該試験波形に応じて設定される比較電圧と比較し、その比較結果を所定の期待値と比較することを特徴とする半導体装置の試験方法。

【請求項 7】入力/出力を同一ピンで同時に行う半導体装置に試験波形を与えて、その応答波形を試験する半導体装置の試験方法であって、

所定のタイミング信号及び所定のテストパターンから所定の制御信号を生成し、

40

該制御信号に応じた第一、第二の設定電圧の切替えにより該試験波形を出力し、

該試験波形と半導体装置からの応答波形との合成波形を、該制御信号に応じて切り替わる第一、第二の比較電圧と比較し、

その出力と所定の期待値とを比較することを特徴とする半導体装置の試験方法。

【請求項 8】入力/出力を同一ピンで同時に行う半導体装置に試験波形を与えて、その応答波形を試験する半導体装置の試験方法であって、

50

所定のタイミング信号及び所定のテストパターンから所

定の制御信号を生成し、
該制御信号に応じた第一、第二の設定電圧の切替えにより該試験波形を出力し、
該試験波形と半導体装置からの応答波形との合成波形を第一の比較電圧と第二の比較電圧のそれぞれと比較し、
該制御信号に応じて該第一の比較電圧との比較結果もしくは該第二の比較電圧との比較結果のいずれかを選択し、
その選択された出力値を所定の期待値と比較することを特徴とする半導体装置の試験方法。

【請求項 9】入力/出力を同一ピンで同時に行う半導体装置に試験波形を与えて、その応答波形を試験する半導体装置の試験方法であって、
所定のタイミング信号及び所定のテストパターンから所定の制御信号を生成し、
該制御信号に応じた第一、第二の設定電圧の切替えにより該試験波形を出力し、
該試験波形と半導体装置からの合成波形を第一の比較電圧と第二の比較電圧のそれぞれと比較し、
該第一の比較電圧との比較結果および第二の比較電圧との比較結果をそれぞれ所定の期待値と比較することを特徴とする半導体装置の試験方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体試験装置に係わり、特に CTT、GTL、全 2 重等のインターフェースを持つデバイスの試験に好適な半導体試験装置に関する。

【0002】

【従来の技術】半導体装置のインターフェースは、入力信号と出力信号とを区別するため、入力、出力の種類によって信号ピンを分ける方法、または同一ピンで入力と出力を時分割で行う方法をとっている。前者は信号ピン数が増えるという問題があり、後者は信号のやりとり時間がかかるという問題がある。

【0003】これらの問題を解決するため ISCC95/SESSION2/DATA COMMUNICATIONS/PAPER WP2. 4 に示されているような同一ピンで入力と出力を同時に行うインターフェースを備えた半導体装置がある。

【0004】

【発明が解決しようとする課題】かかる従来の方法においては、次のような課題がある。

【0005】すなわち、ISCC95/SESSION2/DATA COMMUNICATIONS/PAPER WP2. 4 に示されているような同一ピンで入力と出力を同時に行うインターフェースを持つ半導体装置を試験する場合、従来の CCT や GTL 等のインターフェースを持つ IC を試験する試験装置は適用できない。

【0006】つまり、従来の試験装置は、同一ピンで入

力信号と出力信号とが同時に扱われた場合、試験波形とその応答波形との区別ができず期待する試験は行えない。

【0007】本発明の第一の目的は、同一ピンで入力信号と出力信号とが同時に扱われる半導体装置の試験方法及びその半導体試験装置を提供することにある。

【0008】さらに、現実には同一ピンで入力と出力を同時に行うインターフェースを持つ半導体装置を試験するだけでなく、いままでの CCT や GTL 等のインターフェースを持つ IC を試験することもある。

【0009】このような場合に、試験装置のドライバ、コンパレータ部分をそれぞれ必要に応じて取り替えることもできるが、試験コスト、試験時間ともに上昇してしまう。

【0010】本発明の第二の目的は、入力と出力を同時に行うインターフェースを持つ IC とその他の CCT や GTL 等のインターフェースを持つ IC の試験を同一の試験装置を用いて試験することのできる半導体装置の試験方法及びその半導体試験装置を提供することにある。

【0011】

【課題を解決するための手段】そこで、本発明は、入力/出力を同一ピンで同時に行う半導体装置に試験波形を与えて、その応答波形を試験する半導体試験装置であって、該試験波形と該応答波形との合成波形を所定の比較電圧と比較する手段と、該所定の比較電圧を該試験波形に応じて設定する手段と、その比較結果を所定の期待値と比較する手段とを備えることで前記第一の目的を達成する。

【0012】もしくは、入力/出力を同一ピンで同時に行う半導体装置に試験波形を与えて、その応答波形を試験する半導体装置の試験方法であって、該試験波形と該応答波形との合成波形を、該試験波形に応じて設定される比較電圧と比較し、その比較結果を所定の期待値と比較することで前記第一の目的を達成する。

【0013】入力/出力を同一ピンで同時に行う半導体装置に試験波形を与えた場合、同一線路上に試験波形と半導体装置からの応答波形が存在してしまう。

【0014】一般に、半導体装置からの応答波形は半導体試験装置のコンパレータに入力され、所定の比較電圧値と比較して正常動作しているかを判断するが、コンパレータに試験波形と応答波形の合成波形が入力された場合、比較すべき応答波形には試験波形が合成されているので、一定の比較電圧により比較するだけでは半導体装置が正常動作しているかどうかを正しく判断できない。

【0015】本発明では、コンパレータの比較電圧を試験波形とほぼ同一のタイミングで、試験波形の有する所定のパターンに対応した電圧値に設定するので、その合成波形から応答波形を抽出した状態で比較・判断でき、入力/出力を同一ピンで同時に行う半導体装置を試験することができる。

【0016】さらに本発明を具体的に説明すると、本発明は、入力/出力を同一ピンで同時に行う半導体装置に試験波形を与えて、その応答波形を試験する半導体試験装置であって、所定のタイミング信号を作成するタイミング発生器と、所定のテストパターンを作成するパターン発生器と、該タイミング信号及び該テストパターンから所定の制御信号を出力するドライバ波形制御器と、該制御信号に応じて第一、第二の設定電圧を切替えて該試験波形を出力するドライバと、該試験波形と半導体装置からの応答波形との合成波形を、該制御信号に応じて切り替わる第一、第二の比較電圧と比較するアナログコンパレータと、該アナログコンパレータの出力と、該パターン発生器および該タイミング発生器で作成した期待値とを比較するデジタルコンパレータとを備えたものである。

【0017】もしくは、入力/出力を同一ピンで同時に行う半導体装置に試験波形を与えて、その応答波形を試験する半導体装置の試験方法であって、所定のタイミング信号及び所定のテストパターンから所定の制御信号を生成し、該制御信号に応じた第一、第二の設定電圧の切替えにより該試験波形を出力し、該試験波形と半導体装置からの応答波形との合成波形を、該制御信号に応じて切り替わる第一、第二の比較電圧と比較し、その出力と所定の期待値とを比較するものである。

【0018】このように比較電圧の設定は、既に決められた第一、第二の比較電圧を切り替えることで実現でき、同様にドライバの設定電圧（試験波形の生成）も、既に決められた第一、第二の設定電圧を切り替えることで実現できる。タイミング発生器の生成するタイミング信号とパターン発生器の生成するテストパターンから生成される制御信号により、これらの切り替えを実現すれば、応答波形の抽出精度を高め、検出誤差を低減できる。

【0019】ここで、所定の期待値とは、半導体装置に試験波形を入力した場合のその正常な出力のことであり、タイミング発生器とパターン発生器により生成される。

【0020】さらに、本発明の別の態様によれば、入力/出力を同一ピンで同時に行う半導体装置に試験波形を与えて、その応答波形を試験する半導体試験装置であって、所定のタイミング信号を作成するタイミング発生器と、所定のテストパターンを作成するパターン発生器と、該タイミング信号及び該テストパターンから所定の制御信号を出力するドライバ波形制御器と、該制御信号に応じて第一、第二の設定電圧を切替えて試験波形を出力するドライバと、該試験波形と半導体装置からの応答波形との合成波形を第一の比較電圧と比較する第一のアナログコンパレータと、該試験波形と半導体装置からの応答波形との合成波形を第二の比較電圧と比較する第二のアナログコンパレータとを備え、該制御信号に応じて

該第一のアナログコンパレータもしくは該第二のアナログコンパレータの出力を選択して、その選択された出力値を所定の期待値と比較するものである。

【0021】もしくは、入力/出力を同一ピンで同時に行う半導体装置に試験波形を与えて、その応答波形を試験する半導体装置の試験方法であって、所定のタイミング信号及び所定のテストパターンから所定の制御信号を生成し、該制御信号に応じた第一、第二の設定電圧の切替えにより該試験波形を出力し、該試験波形と半導体装置からの応答波形との合成波形を第一の比較電圧と第二の比較電圧のそれぞれと比較し、該制御信号に応じて該第一の比較電圧との比較結果もしくは該第二の比較電圧との比較結果のいずれかを選択し、その選択された出力値を所定の期待値と比較するものである。

【0022】これらの特徴は、合成波形を第一の比較電圧と第二の比較電圧のそれぞれと比較し、前述の制御信号に応じて該第一の比較電圧との比較結果もしくは該第二の比較電圧との比較結果のいずれかを選択させたことにある。

【0023】このような態様であっても、合成波形から応答波形を抽出できるので、入力/出力を同一ピンで同時に行う半導体装置を試験することができる。

【0024】さらに本発明の別の態様は、入力/出力を同一ピンで同時に行う半導体装置に試験波形を与えて、その応答波形を試験する半導体試験装置であって、所定のタイミング信号を作成するタイミング発生器と、所定のテストパターンを作成するパターン発生器と、該タイミング信号及び該テストパターンから所定の制御信号を出力するドライバ波形制御器と、該制御信号に応じて第一、第二の設定電圧を切替えて試験波形を出力するドライバと、該試験波形と半導体装置からの応答波形との合成波形を第一の比較電圧と比較する第一のアナログコンパレータと、該試験波形と半導体装置からの応答波形との合成波形を第二の比較電圧と比較する第二のアナログコンパレータと、該第一のアナログコンパレータの出力値と所定の期待値とを比較する第一のデジタルコンパレータと、該第二のアナログコンパレータの出力値と所定の期待値とを比較する第二のデジタルコンパレータとを備えたものである。

【0025】もしくは、入力/出力を同一ピンで同時に行う半導体装置に試験波形を与えて、その応答波形を試験する半導体装置の試験方法であって、所定のタイミング信号及び所定のテストパターンから所定の制御信号を生成し、該制御信号に応じた第一、第二の設定電圧の切替えにより該試験波形を出力し、該試験波形と半導体装置からの応答波形との合成波形を第一の比較電圧と第二の比較電圧のそれぞれと比較し、該第一の比較電圧との比較結果および第二の比較電圧との比較結果をそれぞれ所定の期待値と比較するものである。

【0026】これらの特徴は、該試験波形と該応答波形

との合成波形を第一の比較電圧と第二の比較電圧のそれぞれと比較し、該第一の比較電圧との比較結果および第二の比較電圧との比較結果をそれぞれ予め作成された期待値と比較したことにある。

【0027】このような態様であっても、合成波形から応答波形を抽出できるので、入力/出力を同一ピンで同時に行う半導体装置を試験することができる。

【0028】次に、本発明は、半導体装置に試験波形を与えて、その応答波形を試験する半導体試験装置であって、第一、第二、第三の設定電圧を切り替えて該試験波形もしくは所定の終端電圧を出力するドライバと、該半導体装置がその入力/出力を同一ピンで同時に行う場合に該試験波形と該応答波形との合成波形を該試験波形に
10 応じて切り替わる第一、第二の比較電圧と比較する手段と、該半導体装置がその入力/出力を同一ピンで同時に行わない場合に該応答波形を第三の比較電圧と比較する手段とを有するコンパレータとを備え、該コンパレータの出力値を所定の期待値と比較して半導体装置を試験することで前記第二の目的を達成する。

【0029】このようにドライバの設定電圧を少なくとも3種類、コンパレータの比較電圧を少なくとも2種類用意すれば、入力/出力を同一ピンで同時に行う半導体装置であっても、その入力/出力を同一ピンで同時に行わない半導体装置であっても、同一の半導体試験装置で試験が行える。

【0030】同一の半導体試験装置で試験を行うには、半導体装置の種類に応じて設定電圧、比較電圧の切り換えのできる制御手段が必要となる。具体的には、後述する図2等に示すドライバ波形制御器内での制御が好ましい。

【0031】

【発明の実施の形態】以下、図面を用いて本発明を詳述する。

【0032】図1は本発明による半導体試験装置の一実施例を示すブロック図である。

【0033】図1において半導体試験装置1は、試験波形等の所定のタイミング信号を生成するタイミング発生器2と、試験波形等の所定のパターンを生成するパターン発生器3と、前記タイミング発生器2及びパターン発生器3により生成された所定のタイミング及びテストパターンに基づいて、後述するドライバ5の出力を制御するドライバ波形制御器4と、ドライバ波形制御器4の制御信号に基づいて試験波形を出力するドライバ5と、伝送線路8上の試験波形とその半導体装置（以下、被試験素子と呼ぶ場合もある）からの応答波形の合成波形（同一ピンで同時に入力/出力を行わない半導体装置の場合は、その応答波形）を入力として、所定の比較電圧と比較してその比較結果を出力するアナログコンパレータ10と、試験波形に対して被試験素子が正常に動作した場合の期待値と、アナログコンパレータ10の出力とを比
50

較するデジタルコンパレータ13とから構成される。

【0034】前述の期待値は、タイミング発生器及びパターン発生器により生成され、デジタルコンパレータ13に適宜入力される。

【0035】ドライバ5は、さらにドライバ波形制御器4からの制御信号に基づいて3種類の設定電圧5a~5cを切り替えて試験波形を生成するドライバ出力電圧セレクト6と、その生成した試験波形を増幅する増幅器7とから構成される。

【0036】入力/出力を同一ピンで時分割で行う半導体装置を試験するには、半導体装置の入力モード時に電圧V_{hi1}、V_{low1}が、半導体装置の出力モード時にV_t（終端電圧）の3種類（5a~5c）の設定電圧が必要であるが、入力/出力を同一ピンで同時に行う半導体装置を試験するには、終端電圧に設定する必要がないので、2種類の設定電圧V_{hi1}、V_{low1}でよい。

【0037】アナログコンパレータ10は、さらにドライバ波形制御器4からの制御信号に基づいて比較電圧10b、10cを切り替える比較電圧セレクト11と、その比較電圧と前述の合成波形（同一ピンで同時に入力/出力を行わない半導体装置の場合は、その応答波形）とを比較するコンパレータ12とから構成される。

【0038】基準電圧10b、10cには、前述の設定電圧V_{hi1}、V_{low1}に対して一定の関係を持つ、V_{hi2}、V_{low2}を設定する。

【0039】なお、同一ピンで同時に入力/出力を行わない半導体装置の場合は、応答波形がアナログコンパレータの入力となるので、この一定の関係は不要であり、任意の設定電圧を設定すればよい。

30 【0040】このように本実施例では、タイミング発生器、パターン発生器からのタイミング信号、パターンに基づいて作成された制御信号により、ドライバの設定電圧とアナログコンパレータの比較電圧を切り替える。

【0041】ドライバ波形制御器4からの制御信号は、OR回路14を介してアナログコンパレータに送られるが、ドライバ5のドライバ出力電圧セレクト6の切り替え動作に同期してアナログコンパレータ10の基準電圧セレクトが切り替わる回路構成であればよい。

【0042】ドライバ波形制御器4の制御信号（制御内容）は図2に示すとおりであり、ドライバ波形制御器の出力4a、4bの組み合わせにより、ドライバ出力電圧6aとコンパレータ比較電圧11aの出力を設定する。

【0043】例えば、ドライバ波形制御器の出力4a: High、4b: Lowの場合、ドライバ出力電圧6aは5aを、コンパレータ比較電圧11aは10cを選択するように制御される。

【0044】図2において、ドライバ波形制御器の出力4a、4bが（High, Low）、（Low, Low）の場合は、ドライバから試験波形を出力する場合のモードであり、例えば、ドライバ出力電圧6aが5aのときには必ずコンパレ

ータ比較電圧 11a が 10c となるような一定の関係を
持たせている。

【0045】また、ドライバ波形制御器の出力 4a、4b
が (High、High)、(Low、High) の場合は、半導体
装置から応答波形が出力される場合のモードであり、ド
ライバ出力電圧 6a である 5c が終端電圧となるように設
定される。このモードは、同一ピンで同時に入力/出力
を行わない半導体装置の場合に利用される。なお、(Hi
gh、High)、(Low、High) の場合はどちらも同じ動
作を行う。

【0046】図 2 に示す制御内容をパターン発生器 3 か
らのパターンに基づき、タイミング発生器 2 からのタイ
ミングで切り替えることにより、ドライバ 5 は半導体試
験装置の試験に必要な試験波形が作成でき、アナログコ
ンパレータの比較電圧もそのタイミングに同期して切り
替えることもできる。

【0047】但し、ドライバの設定電圧 5a と、設定電
圧を 5a にしたときのドライバの出力電圧 5d は必ずし
も同一電圧値である必要はない。ドライバ設定電圧 5
b、5c も同様である。さらにアナログコンパレータの
比較電圧 10b と、比較電圧 10b を選択したときのア
ナログコンパレータの比較電圧セクタの出力電圧 11
a は、必ずしも同一電圧値である必要はない。比較電圧
10c も同様である。以下、ドライバ出力電圧 5d、ア
ナログコンパレータの比較電圧セクタの出力電圧 11
a とも設定電圧、比較電圧と同一電圧値となるとして説
明する。

【0048】同一ピンで同時に入力/出力を行う半導体
装置だけを試験するには、本半導体試験装置の備えるド
ライバ出力電圧 6a は少なくとも 2 種類でよく、ドライ
バ波形制御器 4 (4a、4b) の制御内容も図 2 における
(High、Low)、(Low、Low) と同等のものがあれば問
題はない。

【0049】図 3 に示すタイミングチャートを用いて、
半導体試験装置 1 のドライバ 5 と被試験素子 9 が非同期
で信号の出力を行う場合 (同一ピンで同時に入力/出力
する場合) の本半導体試験装置各部の動作を詳述する。

【0050】図 3 には、ドライバ 5 の出力 (試験波形)
5d、被試験素子の出力 (応答波形) 9a、アナログコン
パレータの入力 (試験波形と応答波形との合成波形) 1
0a、比較電圧セクタの選択した比較電圧 11a、アナ
ログコンパレータ 10 の出力 10d を示している。

【0051】時刻 t1 以前では、ドライバ波形制御器
は、制御信号 4a : Low、4b : Low を出力してい
る。アナログコンパレータの入力電圧 10a は、ドライ
バの出力電圧 5d の電圧値 5a と、ドライバの出力抵抗
20 と、被試験素子の出力電圧 9a の電圧値 VL と、被
試験素子の出力抵抗 21 により決まる V1 となる。

【0052】アナログコンパレータの入力電圧 10a の
電圧値は、その比較電圧セクタの出力電圧 11a の電
50

圧値 10c より低いので、アナログコンパレータの出力
10d は VcL となる。

【0053】時刻 t1 にドライバ波形制御器は、制御信
号 4a : Hi、4b : Low を出力する (図示せず)。

【0054】図 2 の制御パターンに従って、ドライバ 5
の出力電圧 5d は設定電圧 5b から設定電圧 5a へ切替
わり、同様にアナログコンパレータの比較電圧セクタ
の出力電圧 11a は電圧値 10c に切り替わる。

【0055】この場合、被試験素子の出力電圧 9a の電
10 圧値は VL なので、アナログコンパレータの入力電圧 1
0a の電圧値は、ドライバの出力電圧 5d の電圧値 5a
と、ドライバの出力抵抗 20 と、被試験素子の出力電圧
9a の電圧値 VL と、被試験素子の出力抵抗 21 により
決まる V3 となる。

【0056】アナログコンパレータの入力電圧 10a の
電圧値は、その比較電圧セクタの出力電圧 11a の電
圧値 10c より低いので、アナログコンパレータの出力
10d は変化しない (VcL を示す)。

【0057】次に、時刻 t2 では、被試験素子 9 の出力
20 電圧 9a が VL から VH に変化する。ドライバ波形制御
器 4 から制御信号は変化しないので (図示せず)、ド
ライバ 5 の出力電圧 5d と、アナログコンパレータの比較
電圧セクタの出力電圧 11a とは、時刻 t1 での状態
を保持したままである。

【0058】従って、アナログコンパレータの入力 10
a の電圧値はドライバの出力電圧 5d の電圧値 5a と、
ドライバの出力抵抗 20 と、被試験素子の出力電圧 9a
の電圧値 VH と、被試験素子の出力抵抗 21 により決ま
る V4 となる。

【0059】このとき、アナログコンパレータの入力電
30 圧 10a の電圧値は、アナログコンパレータの比較電圧
セクタの出力電圧 11a の電圧値 10c より高くなる
ので、アナログコンパレータの出力 10d は VcL から
VcH に変化する。

【0060】次に、時刻 t3 でドライバ波形制御器から
制御信号 4a : Low、4b : Low を出力する (図示
せず)。

【0061】図 2 の制御パターンに従って、ドライバ 5
の出力電圧は設定電圧 5a から 5b へ切替わり、アナロ
グコンパレータの比較電圧セクタの出力電圧 11a は
電圧値 10b から電圧値 10c へ切り替わる。

【0062】このとき、被試験素子 9 の出力電圧 9a は
電圧値 VH から電圧値 VL に変化するので、アナログコ
ンパレータの入力 10a は電圧値 V4 から電圧値 V1 と
なる。

【0063】アナログコンパレータの入力電圧 10a
は、その比較電圧セクタの出力電圧 11a より小さく
なるので、出力 10d は VcH から VcL に変化する。

【0064】時刻 t4 以降についても、同様である。

【0065】このように、試験波形に応じてアナログコ

ンパレータの比較電圧を設定すれば、半導体試験装置 1 のドライバ 5 と被試験素子 9 が非同期で信号の出力を行う場合（同一ピンで同時に入出力する場合）であっても、合成波形から応答波形が抽出できるので、その試験を行える。

【0066】また、図 3 からドライバ出力電圧、コンパレータ比較電圧とも 2 種類の設定電圧を備えれば同一ピンで同時に入力/出力を行う半導体装置の試験ができることが理解できる。

【0067】次に、図 4 に示すタイミングチャートを用いて、半導体試験装置 1 のドライバ 5 と被試験素子 9 が交互に信号の出力を行う場合（同一ピンで時分割に入出力する場合）の本半導体試験装置各部の動作を詳述する。

【0068】本実施例ではドライバ 5 の出力電圧を 5a ~ 5c の 3 種類を用意し、その中の 5c を被試験素子の終端電圧にほぼ等しい値を設定している。これは本実施例が、被試験素子に対する入力と出力とを時分割により行うためであり、被試験素子からの応答波形が出力される場合には、被試験素子により決まる終端電圧にドライバ 20 の出力を設定する。

【0069】図 4 には、ドライバ 5 からの出力（試験波形）5d、被試験素子からの出力（応答波形）9a、比較電圧セクタの選択した比較電圧 11a、アナログコンパレータ 10 の出力 10d を示している。

【0070】時刻 t_1 以前ではドライバ波形制御器 4 は、制御信号 4a : Hi、4b : Hi を出力している（図示せず）。

【0071】図 2 の制御パターンに従って、ドライバ 5 の出力電圧は設定電圧 5c、同様にナログコンパレータ 30 の比較電圧セクタの出力 11a は電圧値 10c である。

【0072】つまり、ドライバ 5 の出力電圧は終端電圧である 5c に設定され、被試験素子からの出力モードとなった状態である。

【0073】被試験素子 9 の出力電圧 9a は電圧値 VL なので、アナログコンパレータの入力電圧 10a は、ドライバの出力電圧 5d の電圧値 5c と、ドライバの出力抵抗 20 と、被試験素子の出力電圧 9a の電圧値 VL、被試験素子の出力抵抗 21 により決まる V6 となる。

【0074】時刻 t_1 ではドライバ波形制御器 4 から制御信号は変化しないので（図示せず）、ドライバ 5 の出力電圧 5d と、アナログコンパレータの比較電圧セクタの出力電圧 11a とは、時刻 t_1 以前の状態を保持したままであり、被試験素子からの出力モードのままである。

【0075】このとき、被試験素子からの出力電圧 9a は電圧値 VL から電圧値 VH に変化し、アナログコンパレータの入力電圧 10a は、ドライバの出力電圧 5d の電圧値 5c と、ドライバの出力抵抗 20 と、被試験素子 50

の出力電圧 9a の電圧値 VH と、被試験素子の出力抵抗 21 により決まる V6 となる。

【0076】このとき、アナログコンパレータの入力電圧 10a が、その基準電圧 11a の電圧値 10c より高くなるので、その出力 10d は VcL から VcH に変化する。

【0077】次に、時刻 t_2 では、ドライバ波形制御器から制御信号は変化しないので（図示せず）、ドライバ 5 の出力電圧 5d と、アナログコンパレータの比較電圧 11a とは、時刻 t_1 以前の状態を保持したままであり、被試験素子からの出力モードのままである。

【0078】このとき、被試験素子からの出力電圧 9a は電圧値 VH から電圧値 VL に変化し、アナログコンパレータの入力電圧 10a は V5 となる。

【0079】このとき、アナログコンパレータの入力電圧 10a が、その比較電圧セクタの出力電圧 11a の電圧値 10c より低くなるので、その出力 10d は電圧値 VcH から電圧値 VcL に変化する。

【0080】時刻 t_3 から時刻 t_4 の間に、被試験素子は出力モードから入力モードに切り替わる。被試験素子 9 の出力抵抗 21 が高抵抗となるか、または被試験素子 9 の出力電圧 9a が終端電圧となる。

【0081】次に、時刻 t_4 でドライバ波形制御器から制御信号 4a : Low、4b : Low を出力する（図示せず）。

【0082】図 2 の制御パターンに従って、ドライバ 5 の出力電圧は設定電圧 5c から 5b へ切替わり、アナログコンパレータの基準電圧 11a は電圧値 10b に切り替わる。

【0083】つまり、被試験素子への入力モードとなった状態である。

【0084】このとき、アナログコンパレータ等は図 4 のような動作を行うが、入力モードの際にはアナログコンパレータ等の動作は不要なので、これらの値を無視するように取り扱う。

【0085】このように、本半導体試験装置では、図 2 に示すような制御内容を用いれば、入力/出力を同時に行う半導体装置だけでなく、入力/出力を切替えて行う半導体装置の試験をも行うことができる。

【0086】次に、本半導体試験装置の別の実施例を図 5 に示す。

【0087】図 1 に示す半導体装置との相違は、比較電圧を独立に設定できる 2 つのアナログコンパレータ 15、16 と、ドライバ波形制御器 4 の信号により 2 つのアナログコンパレータの出力を切替えるセクタ 17 とを備えた点である。

【0088】本半導体試験装置では、ドライバ 5 からの試験波形に応じて、比較電圧を独立に設定したアナログコンパレータを選択するので、アナログコンパレータに入力される、ドライバ 5 の出力電圧と、被試験素子 9 の

出力電圧の合成波形から、被試験素子の出力波形のみを抽出して試験することができる。

【0089】このドライバ波形制御器4の制御パターンを図6に示す。この制御信号によりドライバ出力電圧と、選択されるコンパレータ出力の切り換えを行う。

【0090】図7に示すタイミングチャートを用いて、半導体試験装置1のドライバ5と被試験素子9が非同期で信号の出力を行う場合（同一ピンで同時に入出力する場合）の本半導体試験装置各部の動作を詳述する。

【0091】図7には、ドライバ5からの出力（試験波形）5d、被試験素子からの出力（応答波形）9a、アナログコンパレータへの入力（試験波形と応答波形との合成波形）15a、16a、設定されたコンパレータ、選択されたアナログコンパレータの出力17aを示している。

【0092】なお、本実施例では、アナログコンパレータに設定される比較電圧は、15b ($V1 < 15b < V2$, $V3$) と、16b ($V2$, $V3 < 16b < V4$) とが設定されている。

【0093】時刻 t_1 以前では、ドライバ波形制御器は、制御信号4a: Low、4b: Lowを出力している。アナログコンパレータの入力電圧15a、16aは、ドライバの出力電圧5dの電圧値5aと、ドライバの出力抵抗20と、被試験素子の出力電圧9aの電圧値VLと、被試験素子の出力抵抗21により決まるV1となる。

【0094】アナログコンパレータの出力は、アナログコンパレータ15の出力15cが選択されている。アナログコンパレータの入力電圧15aの電圧値は、アナログコンパレータ15の比較電圧値15bより低いので、アナログコンパレータ15の出力15cはVcLとなり、セクタ17の出力17aもVcLとなる。

【0095】時刻 t_1 にドライバ波形制御器は、制御信号4a: Hi、4b: Lowを出力する（図示せず）。

【0096】図6の制御パターンに従って、ドライバ5の出力電圧5dは設定電圧5bから設定電圧5aへ切り替わり、同様にアナログコンパレータの出力はアナログコンパレータ16の出力16cが選択される。

【0097】この場合、被試験素子の出力電圧9aの電圧値はVLなので、アナログコンパレータの入力電圧15a、16aの電圧値は、ドライバの出力電圧5dの電圧値5aと、ドライバの出力抵抗20と、被試験素子の出力電圧9aの電圧値VLと、被試験素子の出力抵抗21により決まるV3となる。

【0098】アナログコンパレータの入力電圧15aの電圧値は、その比較電圧値15bより低いので、アナログコンパレータの出力15cはVcLとなり、セクタ17の出力17aの電圧値は変化しない（VcLを示す）。

【0099】次に、時刻 t_2 では、被試験素子9の出力

電圧9aがVLからVHに変化する。ドライバ波形制御器4から制御信号は変化しないので（図示せず）、ドライバ5の出力電圧5dと、選択されるアナログコンパレータ出力は、時刻 t_1 での状態を保持したままである。

【0100】従って、アナログコンパレータの入力15a、16aの電圧値はドライバの出力電圧5dの電圧値5aと、ドライバの出力抵抗20と、被試験素子の出力電圧9aの電圧値VHと、被試験素子の出力抵抗21により決まるV4となる。

【0101】このとき、選択されたアナログコンパレータ15の入力電圧15aは、アナログコンパレータ15の比較電圧15bより高くなるので、アナログコンパレータの出力15cはVcLからVcHに変化し、セクタ17の出力17aの電圧値もVcHに変化する。

【0102】次に、時刻 t_3 でドライバ波形制御器から制御信号4a: Low、4b: Lowを出力する（図示せず）。

【0103】図6の制御パターンに従って、ドライバ5の出力電圧は設定電圧5aから5bへ切り替わり、選択されるアナログコンパレータの出力は16cから15cに切り替わる。

【0104】このとき、被試験素子9の出力電圧9aは電圧値VHから電圧値VLに変化するので、アナログコンパレータの入力15a、16aは電圧値V4から電圧値V1となる。

【0105】アナログコンパレータ15の入力電圧15aは、アナログコンパレータ15の比較電圧15bより小さくなるので、アナログコンパレータの出力15cはVcHからVcLに変化し、セクタ17の出力17aの電圧値もVcLに変化する。

【0106】時刻 t_4 以降についても、同様である。

【0107】このように、試験波形に応じてアナログコンパレータの出力を選択すれば、半導体試験装置1のドライバ5と被試験素子9が非同期で信号の出力を行う場合（同一ピンで同時に入出力する場合）であっても、合成波形から応答波形が抽出できるので、その試験を行える。

【0108】また、図3からもドライバ出力電圧、コンパレータ比較電圧とも2種類の設定電圧を備えれば同一ピンで同時に入力/出力を行う半導体装置の試験ができることが理解できる。

【0109】次に、図8に示すタイミングチャートを用いて、図5に示す半導体試験装置1のドライバ5と被試験素子9が交互に信号の出力を行う場合（同一ピンで時分割に入出力する場合）の本半導体試験装置各部の動作を詳述する。本実施例ではドライバ5の出力電圧を5a～5cの3種類を用意し、5cを被試験素子の終端電圧にほぼ等しい値を設定している。

【0110】図8には、ドライバ5からの出力（試験波形）5d、被試験素子からの出力（応答波形）9a、アナ

ログコンパレータ 16 の入力電圧 16 a、セクタ 17 の出力 17 a を示している。

【0111】時刻 t_1 以前ではドライバ波形制御器 4 は、制御信号 4 a : Hi、4 b : Hi を出力している (図示せず)。

【0112】図 6 の制御パターンに従って、ドライバ 5 の出力電圧は設定電圧 5 c、アナログコンパレータの出力はアナログコンパレータ 16 の出力 16 c が選択される。

【0113】つまり、ドライバ 5 の出力電圧は終端電圧 10 である 5 c に設定され、被試験素子からの出力モードとなった状態である。

【0114】被試験素子 9 の出力電圧 9 a は電圧値 V_L なので、アナログコンパレータの入力電圧 16 a は、ドライバの出力電圧 5 d の電圧値 5 c と、ドライバの出力抵抗 20 と、被試験素子の出力電圧 9 a の電圧値 V_L 、被試験素子の出力抵抗 21 により決まる V_6 となる。

【0115】時刻 t_1 ではドライバ波形制御器 4 から制御信号は変化しないので (図示せず)、ドライバ 5 の出力電圧 5 d と、選択されたアナログコンパレータ出力 20 は、時刻 t_1 以前の状態を保持したままであり、被試験素子からの出力モードのままである。

【0116】このとき、被試験素子からの出力電圧 9 a は電圧値 V_L から電圧値 V_H に変化し、アナログコンパレータの入力電圧 16 a は、ドライバの出力電圧 5 d の電圧値 5 c と、ドライバの出力抵抗 20 と、被試験素子の出力電圧 9 a の電圧値 V_H と、被試験素子の出力抵抗 21 により決まる V_6 となる。

【0117】このとき、アナログコンパレータの入力電圧 16 a が、その比較電圧 16 b より高くなるので、その出力 16 c は V_{cL} から V_{cH} に変化し、セクタ 17 の出力 17 a も V_{cH} に変化する。

【0118】次に、時刻 t_2 では、ドライバ波形制御器の制御信号は変化しないので (図示せず)、ドライバ 5 の出力電圧 5 d と、選択されたアナログコンパレータの出力は、時刻 t_1 以前の状態を保持したままであり、被試験素子からの出力モードのままである。

【0119】このとき、被試験素子からの出力電圧 9 a は電圧値 V_H から電圧値 V_L に変化し、アナログコンパレータの入力電圧 16 a は V_5 となる。

【0120】このとき、アナログコンパレータの入力電圧 16 a が、その比較電圧 16 b より低くなるので、その出力 16 c は電圧値 V_{cH} から電圧値 V_{cL} に変化し、セクタ 17 の出力 17 a も V_{cL} に変化する。

【0121】時刻 t_3 から時刻 t_4 の間に、被試験素子は出力モードから入力モードに切り替わる。被試験素子 9 の出力抵抗 21 が高抵抗となるか、または被試験素子 9 の出力電圧 9 a が終端電圧となる。

【0122】次に、時刻 t_4 でドライバ波形制御器から制御信号 4 a : Low、4 b : Low を出力する (図示 50

せず)。

【0123】図 6 の制御パターンに従って、ドライバ 5 の出力電圧は設定電圧 5 c から 5 b へ切替わり、選択されるアナログコンパレータの出力は 16 c から 15 c に切り替わる。

【0124】つまり、被試験素子への入力モードとなった状態である。

【0125】このとき、アナログコンパレータ等は図 4 のような動作を行うが、入力モードの際にはアナログコンパレータ等の動作は不要なので、これらの値を無視するように取り扱う。

【0126】このように、本半導体試験装置では、図 2 に示すような制御内容を用いれば、入力/出力を同時に行う半導体装置だけでなく、入力/出力を切替えて行う半導体装置の試験をも行うことができる。

【0127】このように、本半導体試験装置では、ドライバ出力電圧、コンパレータ比較電圧を適宜設定することで、入力/出力を同時に行う半導体装置だけでなく、入力/出力を切替えて行う半導体装置の試験を行うことができる。

【0128】さらに半導体試験装置の別の実施例としては、図 9 に示すような、それぞれに比較電圧が設定された 2 つのアナログコンパレータと、そのアナログコンパレータのそれぞれに対応するように設けられたデジタルコンパレータとを備えた構成とし、入力/出力を同時に行う素子の試験を行う場合には、ドライバの Hi 電圧、Low 電圧に合わせて、期待値と比較するコンパレータの組を切替えてもよい。

【0129】つまり、試験波形もしくは制御信号に応じて、2 つのデジタルコンパレータのいずれかに所定の期待値を与えればよい。

【0130】このような半導体試験装置であっても、入力/出力を同時に行う半導体装置だけでなく、入力/出力を切替えて行う半導体装置の試験を行うことができる。

【0131】これまでに説明してきた半導体試験装置において、ドライバ 5 は 2 種類もしくは 3 種類の設定電圧を切替えて使用するが、切替える設定電圧の数はそれ以上であってもかまわない。

【0132】ドライバ 5 の設定電圧を増やすことにより、被試験素子 9 に入力する試験波形の電圧値を、試験の内容に合わせて設定電圧の数だけリアルタイムに変えることが可能となる。

【0133】同様にアナログコンパレータ 16 は 2 種類の比較電圧を切替えて使用するが、切替える比較電圧はそれ以上であってもかまわない。

【0134】アナログコンパレータの比較電圧を増やすことにより、試験の内容に合わせて比較電圧の数だけリアルタイムに変えることが可能となる。

【0135】またドライバ制御回路 4 の出力に論理和回

路 14 を通して、アナログコンパレータ 10 の比較電圧を切替える場合、論理和回路 14 は半導体試験装置 1 に必須ではない。アナログコンパレータ 10 の比較電圧を 3 種類とし、そのうちの 2 つに同じ電圧を設定することで同様の動作を行うことができる。また論理和以外の組み合わせ回路を用いてもかまわない。

【0136】さらにドライバ波形制御器 4 の出力 4a、4b と、ドライバの出力電圧 6a、コンパレータの比較電圧 11a の関係は、図 2 の組み合わせに限らず自由な組み合わせをとることができる。同様にドライバ波形制

御器 4 の出力 4a、4b と、ドライバの出力電圧 6a、選択されるコンパレータの出力の関係は、図 6 の組み合わせに限らず自由な組み合わせをとることができる。

【0137】半導体装置としては、メモリ系、ロジック系のいずれのタイプでも試験することができる。

【0138】

【発明の効果】本発明によれば、これまでできなかった入力／出力を同時に行う半導体装置の試験を行うことができる。

【0139】さらに、本発明によれば、入力／出力を同時に素子と、入力／出力を切替えて行う素子の試験を、同一の半導体試験装置を用いて、または半導体試験装置のドライバとコンパレータを含む一部分を取り替えることなく行うことが可能となる。

【図面の簡単な説明】

【図 1】本発明の半導体試験装置の 1 実施例を示すブロック図

【図 2】ドライバ波形制御器 4 の出力 4a、4b と、ド

ライバの出力電圧 6a、コンパレータの比較電圧 11a の関係表

【図 3】半導体試験装置 1 のドライバ 5 と被試験素子 9 が非同期で信号の出力を行う場合の半導体試験装置 1 の各部の波形

【図 4】半導体試験装置 1 のドライバ 5 と被試験素子 9 が交互に信号の出力を行う場合の半導体試験装置 1 の各部の波形

【図 5】本発明による半導体試験装置の別の実施例を示すブロック図

【図 6】ドライバ波形制御器 4 の出力 4a、4b と、ドライバの出力電圧 6a、選択されるコンパレータの出力の関係表

【図 7】半導体試験装置 1 のドライバ 5 と被試験素子 9 が非同期で信号の出力を行う場合の半導体試験装置 1 の各部の波形

【図 8】半導体試験装置 1 のドライバ 5 と被試験素子 9 が交互に信号の出力を行う場合の半導体試験装置 1 の各部の波形

【図 9】本発明による半導体試験装置の別の実施例を示すブロック図

【符号の説明】

1 ……半導体試験装置、2 ……タイミング発生器、3 ……パターン発生器、4 ……ドライバ波形制御器、5 ……ドライバ、6 ……ドライバ出力電圧セレクト、7 ……増幅器、8 ……伝送線路、9 ……非試験素子、10 ……アナログコンパレータ、11 ……比較電圧セレクト、12 ……コンパレータ、13 ……デジタルコンパレータ

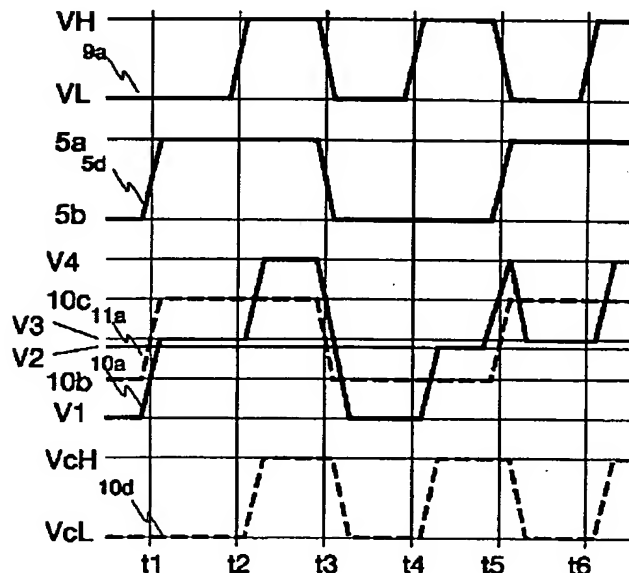
【図 2】

図 2

| ドライバ波形制御器 | | ドライバ出力電圧 6a | コンパレータ比較電圧 11a |
|-----------|-----|----------------|-------------------|
| 4a | 4b | | |
| Hi | Low | 5a | 10c |
| Low | Low | 5b | 10b |
| Hi | Hi | 5c | 10c |
| Low | Hi | 5c | 10c |

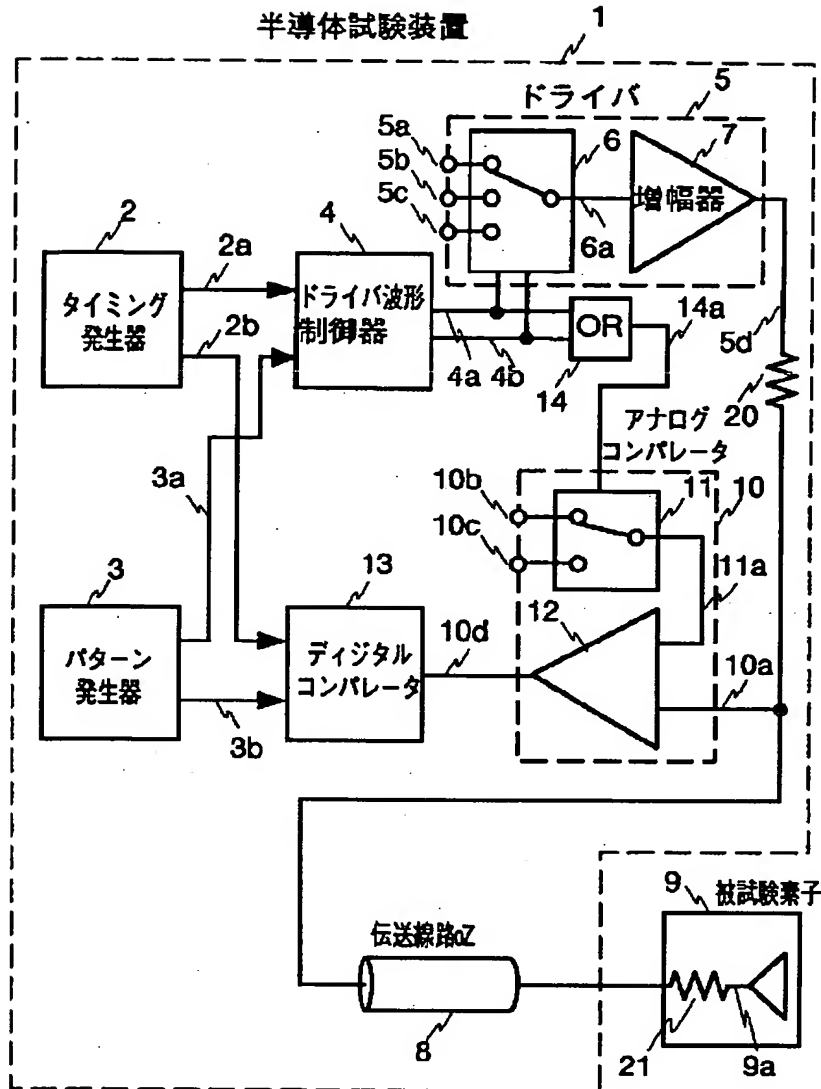
【図 3】

図 3



【図1】

図 1



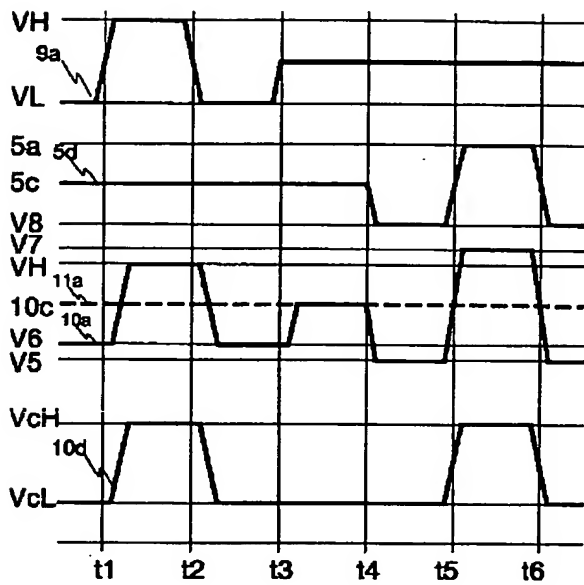
【図6】

図 6

| ドライバ選択機能 | | ドライバ 出力電圧 6a | 選択される コンパレータ 出力 |
|----------|-----|--------------------|-----------------------|
| 4a | 4b | | |
| Hi | Low | 5a | 16c |
| Low | Low | 5b | 15c |
| Hi | Hi | 5c | 16c |
| Low | Hi | 5c | 16c |

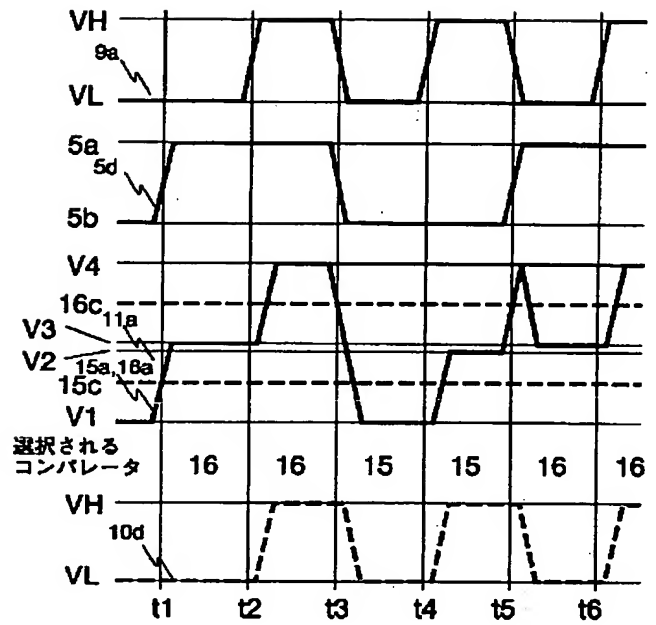
【図4】

図 4



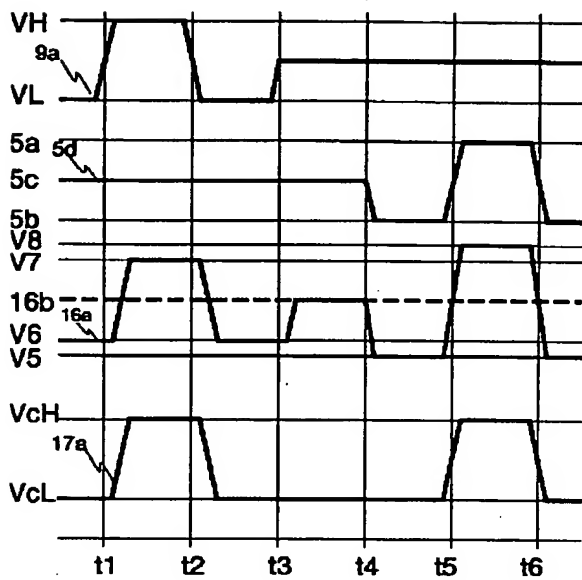
【図7】

図 7



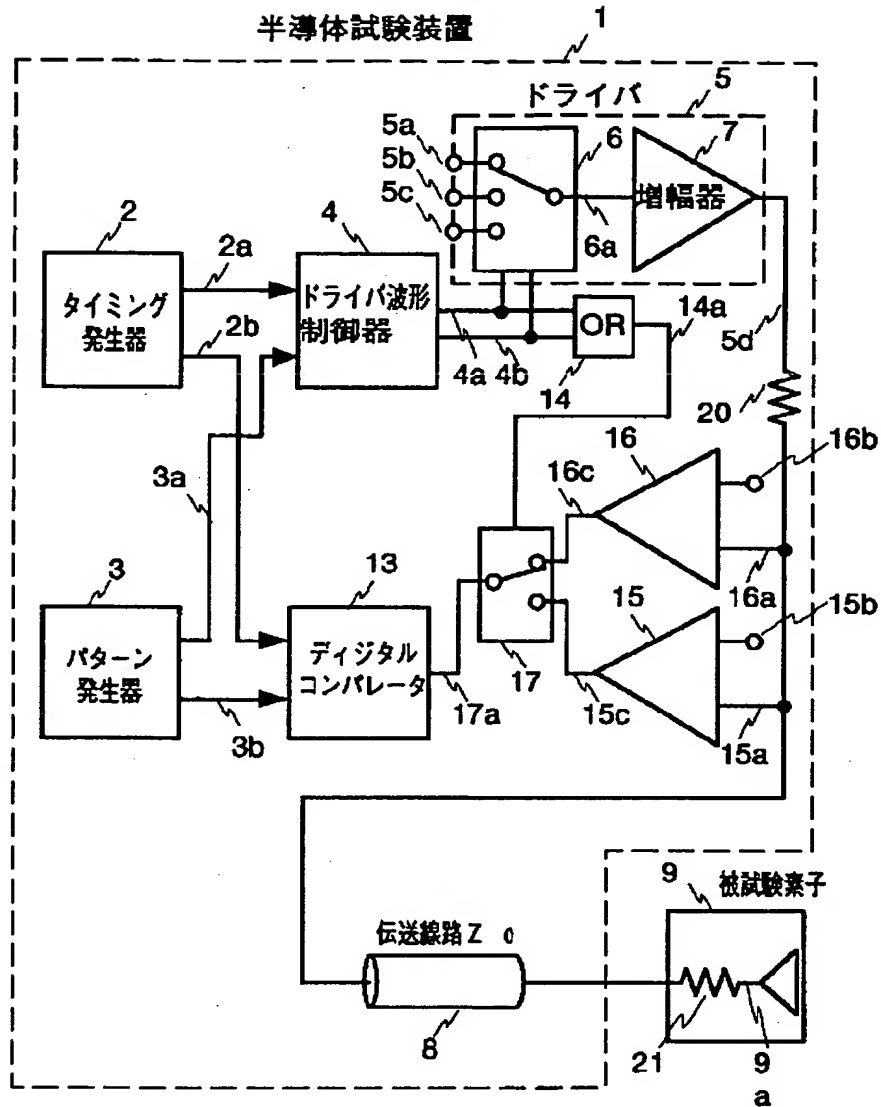
【図8】

図 8



【図 5】

図 5



【図 9】

図 9

